

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-45193

(P2003-45193A)

(43) 公開日 平成15年2月14日 (2003.2.14)

(51) Int.Cl.⁷

識別記号

F I

テームコード (参考)

G 1 1 C 16/06

H 0 2 M 3/07

5 B 0 2 5

H 0 1 L 21/822

G 1 1 C 17/00

6 3 2 A 5 F 0 3 8

27/04

H 0 1 L 27/04

G 5 H 7 3 0

H 0 2 M 3/07

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号

特願2001-234280 (P2001-234280)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(22) 出願日

平成13年8月1日 (2001.8.1)

(72) 発明者 唐木 悟

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(74) 代理人 100078282

弁理士 山本 秀策

Fターム (参考) 5B025 AA03 AB01 AC01 AD10 AE08

5F038 AV06 BC03 BC05 BC06 CA02

DF05 EZ20

5H730 AA14 AS04 BB02 BB57 BB86

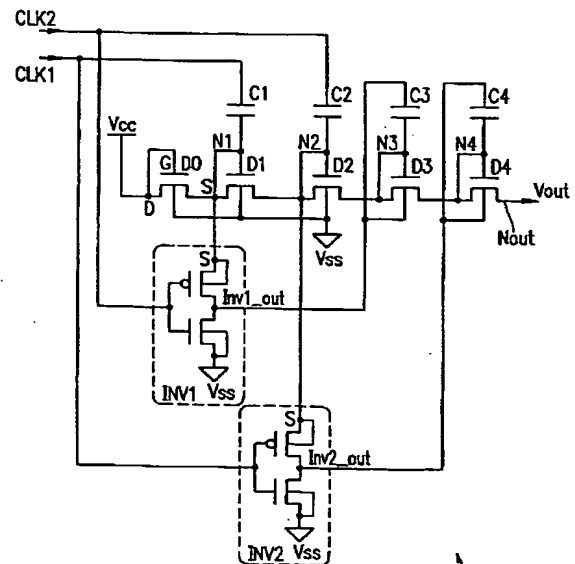
BB88 DD04 FG01

(54) 【発明の名称】 半導体チャージポンプ回路および不揮発性半導体記憶装置

(57) 【要約】

【課題】 従来のディクソン型チャージポンプ回路よりもポンピング電圧の転送効率を改善し、かつ、低電圧電源でも効率よくポンピング可能とする。

【解決手段】 クロック信号CLK2を入力とし、クロック信号CLK1と同じ位相タイミングで昇圧するトランジスタD3に接続されたキャパシタC3の他方端と当該トランジスタD3が形成されたpウェル端子とに対して、クロック信号CLK1と同じ位相タイミングで昇圧した前段のノードN1の電圧波形をクロックとして印加するINV1と、クロック信号CLK1を入力とし、クロック信号CLK2と同じ位相タイミングで昇圧するトランジスタD4に接続されたキャパシタC4の他方端と当該トランジスタD4が形成されたpウェル端子とに対して、クロック信号CLK2と同じ位相タイミングで昇圧した前段のノードN2の電圧波形をクロックとして印加するINV2とを設けている。



10

【特許請求の範囲】

【請求項1】 トランジスタの制御端子と一方駆動端子とが接続されると共に、該制御端子にキャパシタの一方端が接続されて基本ポンプセルが構成され、該トランジスタの他方駆動端子が、次段の基本ポンプセルのトランジスタの一方駆動端子に接続されることにより、該基本ポンプセルがN段接続（Nは3以上の自然数）され、該基本ポンプセル毎のキャパシタの他方端には、その前後段の基本ポンプセルのキャパシタに入力されるクロックとは位相の異なるクロックを入力する複数の位相タイミングでN段の基本ポンプセル群を駆動して電圧の昇圧を行う半導体チャージポンプ回路において、

該トランジスタは、基板ウェル部内に形成されたトランジスタを含んで構成され、該昇圧動作時に、トランジスタの制御端子に接続されているキャパシタの他方端と、当該キャパシタに接続されるトランジスタが形成されている基板ウェル部とに、当該キャパシタと同じ位相タイミングで昇圧した前段の電圧波形をクロックとして印加する切替手段を有する半導体チャージポンプ回路。

【請求項2】 前記N段接続された基本ポンプセル中で、同じ位相タイミングで動作する基本ポンプセル群の初段の基本ポンプセル内の基板ウェル部およびキャパシタの他方端には、外部から入力される転送用基本クロックを電圧波形として印加する請求項1記載の半導体チャージポンプ回路。

【請求項3】 前記クロックは2相であり、該2相のクロックは互いに逆相クロックである請求項1または2記載の半導体チャージポンプ回路。

【請求項4】 前記切替手段は、pMOS（p-Metal Oxide Semiconductor）トランジスタとnMOSトランジスタで構成されるインバータ回路であり、前記クロックのレベルに応じて、前記同じ位相タイミングで昇圧した前段の電圧波形と基準電圧とを切り替える請求項1～3の何れかに記載の半導体チャージポンプ回路。

【請求項5】 前記昇圧動作時に、前記トランジスタを形成する基板ウェル部と該トランジスタの制御端子に接続されたキャパシタの他方端との少なくとも何れかに印加される電圧値と、これと同じ位相タイミングで昇圧された前段の電圧値との差は、前記pMOSトランジスタの閾値電圧に抑えられている請求項4記載の半導体チャージポンプ回路。

【請求項6】 前記N段の基本ポンプセルのトランジスタ

$$Q1 = C \times V_{cc}$$

$$Q2 = C \times (2V_{cc} - V_{cc}) = CV_{cc} \dots (1)$$

と表現することができる。

【0005】上記式（1）のCはキャパシタC1の容量である。上記式（1）により、 $Q1 = Q2$ 、つまり「電荷保存の法則」が成り立つことが判る。以上のことから、チャージポンプ回路の基本原理を説明することができる。これをLSI回路に応用することができる。LS

タはnMOSトランジスタで構成され、該N段の基本ポンプセルは、pMOS基板上に形成されたnMOSトランジスタを有する一または複数の基本ポンプセルと、該pMOS基板とは電氣的に分離されたp型基板ウェル部に形成されたnMOSトランジスタを有する一または複数の基本ポンプセルとからなっている請求項1～5の何れかに記載の半導体チャージポンプ回路。

【請求項7】 前記p型基板ウェル部を前記pMOS基板と分離するようにn型基板ウェル部で囲んだトリプルウェル構造とし、電氣的に分離されたp型基板ウェル部に一または複数のトランジスタが形成された請求項6記載の半導体チャージポンプ回路。

【請求項8】 請求項1～7の何れかに記載のチャージポンプ回路を用いた不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電源電圧より高い電圧または負電圧を発生させる半導体チャージポンプ回路およびこれを用いた不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】従来、半導体メモリ、例えばEEPROM（Electrically Erasable and Programmable Read Only Memory）やフラッシュメモリについて、読み出し／書き込み／消去時に電源電圧よりも高い電圧または負電圧が必要である。これを実現するために、（1）外部から電圧を印加する方法、（2）チップ内部のチャージポンプ回路にて電源電圧をポンピングする方法の2種類が採用されている。近年では、単一電源化により後者（2）の「チップ内部のチャージポンプ回路にて電源電圧をポンピングする方法」が主に採用されている。

【0003】ここで、チャージポンプ回路の基本原理解について説明する。図9に、ポンピング用のキャパシタC1の電圧変化を示す。初期状態において、キャパシタC1の一方端子に0V、他方端子に電源電圧 V_{cc} を印加する。

【0004】次に、その一方端子の0Vの電位を電源電圧 V_{cc} に移せると、他方端子の電源電圧 V_{cc} は、当初の電源電圧 V_{cc} から2倍の電圧 $2 \times V_{cc}$ へと遷移する。即ち、他方端子の電圧は、 $2 \times V_{cc}$ の電圧へとポンピングする。このことは、次の式（1）により、

1回路用のチャージポンプ回路として、ディクソン型チャージポンプ回路が一般的に知られている。

【0006】図10に、従来のディクソン型チャージポンプ回路の代表的な一例を示している。図10では、ディクソン型チャージポンプ回路の基本構成として、5個のnMOSトランジスタD0～D4と、4つのキャパシ

タC1～C4から構成される場合について説明する。

【0007】図10において、ディクソン型チャージポンプ回路の基本ポンプセルは、点線で囲まれた例えば1個のキャパシタC1と1個のnMOSトランジスタD1で構成される。4個の基本ポンプセル（nMOSトランジスタD1～D4とキャパシタC1～C4）が直列接続されてチャージポンプ回路が構成されている。

【0008】初段のトランジスタD0は、ドレイン端子Dとゲート端子Gが電源の出力端（電圧Vcc；例えば3V）に結線されている。このトランジスタD0は、トランジスタD0のソースS側の、ポンピングされたノードN1の電流が電源電圧Vcc側に逆流するのを防ぐ逆流防止弁の役割を担っている。

【0009】チャージポンプ回路にはクロック信号CLK1、CLK2が入力信号として入力されている。クロック信号CLK1はキャパシタC1、C3に入力され、クロック信号CLK2はキャパシタC2、C4に入力される。このクロック信号CLK1とクロック信号CLK2のタイミング波形を図11に示している。

【0010】図11に示すように、クロック信号CLK1、CLK2は電源電圧Vccを振幅としており、クロック信号CLK1とクロック信号CLK2との出力タイミングは、クロック信号CLK1が電源電圧Vccのときはクロック信号CLK2は0Vで、クロック信号CLK1が0Vのときはクロック信号CLK2は電源電圧Vccとなるように、お互いに逆相関係のクロック信号となっている。

【0011】チャージポンプ回路によってポンピングされた電圧は出力ノードVoutから出力される。この出力ノードVoutの先には、図示していないが、例えば

$$\begin{aligned}VN1 &= V_{cc} - V_{th} \\ VN2 &= V_{cc} - 2V_{th} \\ VN3 &= V_{cc} - 3V_{th} \\ VN4 &= V_{cc} - 4V_{th}\end{aligned}$$

上記4つの式(2)から判るように、nMOSトランジスタにより電荷が転送されて順次昇圧される毎に、昇圧された電圧に対して、nMOSトランジスタの閾値電圧Vth分（例えば0.6V程度）だけ電圧は低下する。

【0017】図13に示すように、クロック信号CLK1が0V～Vccに遷移したとき、ノードN1は、 $2V_{cc} - V_{th}$ に遷移し、トランジスタD1によりトランジスタD1のソースからノードN2に出力電圧($2V_{cc} - V_{th}$) - $V_{th} - V_b$ を転送する。なお、Vbは基板バイアス効果による転送電位の電圧降下分を示している。また、Vbはソース・基板間電圧VBSに比例して大きくなる。

【0018】クロック信号CLK2が0Vから電源電圧

レギュレータや平滑用キャパシタなどが接続されており、チャージポンプ回路にて昇圧された電圧（ここでは正の高電圧）が出力ノードVoutから例えばレギュレータなどに出力される。

【0012】次に、nMOSトランジスタの断面の模式図を図12に示している。

【0013】図12に示すように、一般的に、フラッシュメモリはP-基板を使用している。このP-基板を基準電圧Vss（0V）とし、P-基板上に、所定間隔を置いてソースS（n+）およびドレインD（n+）を形成すると共に、ソースS（n+）とドレインD（n+）間の基板上に絶縁膜を介してゲートGを形成することによりnMOSトランジスタを形成している。このnMOSトランジスタが、図10のように複数段直列接続されてチャージポンプ回路を構成している。

【0014】図13に、理想的なディクソン型チャージポンプ回路の各ノードN1～N4のタイミング波形を示している。図10に示すように、ノードN1はnMOSトランジスタD0とnMOSトランジスタD1間にあり、ノードN2はnMOSトランジスタD1とnMOSトランジスタD2間にあり、ノードN3はnMOSトランジスタD2とnMOSトランジスタD3間にあり、ノードN4はnMOSトランジスタD3とnMOSトランジスタD4間にあり、それぞれの電圧変化を図13に示している。

【0015】キャパシタC1～C4は電荷の蓄積がなく、クロック信号CLK1、CLK2が0Vの電圧レベル状態である初期状態での各ノード電圧VN1～VN4は次の4つの式(2)のようになる。

【0016】

..... (2)

Vccに遷移したとき、ノードN2は $2V_{cc} - 2V_{th} - V_b$ から $3V_{cc} - 2V_{th} - V_b$ へと遷移する。これを、図13に示すようにノードN4まで繰り返して、チャージポンプ回路の出力電圧Voutとして出力する。

【0019】このようなディクソン型チャージポンプ回路の出力電圧（ノード電圧Voutに相当）は、例えば「Ki-Hwan Choi et al., 1997 Symposium on VLSI Circuits Digest of Technical Papers, 1997」に記載されているように、以下の(数1)に示す式(3)で表される。

【0020】

【数1】

$$V_{out}(\text{conventional}) = \underbrace{V_{cc} - V_{th}(0)}_{(a)} + \sum_{i=1}^n \underbrace{\{ (a) V_{cc} - V_{th}(i) \}}_{(b)} \dots (3)$$

上記式(3)の $V_{th}(0)$ はトランジスタD0の閾値電圧(例えば、 $V_{th}=0.6V$)、 $V_{th}(i)$ はn段目のトランジスタの閾値電圧を示しており、(a)項の「 $V_{cc} - V_{th}(0)$ 」は実用上では「1」である。ただし、iは自然数である。

【0021】また、 $V_{th}(i)$ は、基板バイアス効果を考慮した閾値電圧を示しており、ソース電圧と基板電圧(この場合pウェルの電圧)の差が大きくなればなるほど、 $V_{th}(i)$ の値は大きくなる。上記式(3)では、 V_{th} と V_b を分けた形($V_{th} + V_b \approx V_{th}$ としている)で示している。多段構成となると、上記式

(3)の(a)項は無視され、(b)項の効果が重要になる。ここで、(b)項より、1段当たりにポンピングされる電圧を考えると、以下の式(4)で表される。

【0022】 $V_{cc} - V_{th}(i) \dots \dots (4)$
つまり、チャージポンプ回路の出力電圧 V_{out} は、各MOSトランジスタの閾値電圧 $V_{th}(i)$ と電源電圧 V_{cc} とのマージンに影響されることから、基板バイアス効果を考慮した閾値電圧 $V_{th}(i)$ が高くなると、1段当たりにポンピングされる電圧は小さくなるかゼロになるため、チャージポンプ回路のポンプ段数を増やしても出力電圧 V_{out} が増加しにくくなるかまたは増加しなくなってしまう。

【0023】例えば、図10のディクソン型チャージポンプ回路のトランジスタD4のソース電圧は出力電圧 V_{out} であり、pウェル電位が $V_{ss}(0V)$ であることから、このトランジスタD4の閾値電圧は基板バイアス効果により高くなり、電圧の転送効率、言い換えるとポンピング効率が悪くなる。

【0024】以上のことから、一般的なチャージポンプ回路であるディクソン型チャージポンプ回路の大きな短所として、次の2点(1)および(2)が挙げられる。

(1) 基板バイアス効果による閾値電圧の増加、(2) ポンピングを決定するクロック信号の振幅が電源電圧 V_{cc} に律束されること、即ち、電源電圧 V_{cc} が低い場合にポンピング効率が減少してしまうことである。

【0025】

【発明が解決しようとする課題】上述したように、従来のディクソン型チャージポンプ回路の問題点は、(1) 基板バイアス効果による閾値電圧の増加、(2) ポンピングを決定するクロック信号の振幅が電源電圧 V_{cc} に律束されることの2点であったが、それを防止するには、(1) 基板バイアス効果によるMOSトランジスタの閾値電圧増加の抑制、(2) 電源電圧 V_{cc} とn段目のMOSトランジスタの閾値電圧 $V_{th}(i)$ との間のマージン増加が必須である。

【0026】従来のディクソン型チャージポンプ回路について、図10のようにMOSトランジスタD1～D4の基板電位(ここではpウェル電位)を $V_{ss}(0V)$ と全て同電位にしており、クロック信号CLK1、CLK2の振幅も電源電圧 V_{cc} と一定であることから、基板バイアス効果によりポンピング電圧の転送効率が悪く、また1段のポンプ回路でのポンピングがクロック信号の振幅である電源電圧 V_{cc} 分のみであることからポンピング効率が悪いという問題があった。

【0027】本発明は、上記事情に鑑みてなされたもので、従来のディクソン型チャージポンプ回路よりもポンピング電圧の転送効率を改善し、かつ、低電圧電源でも効率よくポンピング可能な半導体チャージポンプ回路およびこれを用いた不揮発性半導体記憶装置を提供することを目的とする。

【0028】

【課題を解決するための手段】本発明の半導体チャージポンプ回路は、トランジスタの制御端子と一方駆動端子とが接続されると共に、この制御端子にキャパシタの一方端が接続されて基本ポンプセルが構成され、このトランジスタの他方駆動端子が、次段の基本ポンプセルのトランジスタの一方駆動端子に接続されることにより、基本ポンプセルがN段接続(Nは3以上の自然数)され、基本ポンプセル毎のキャパシタの他方端には、その前後段の基本ポンプセルのキャパシタに入力されるクロックとは位相の異なるクロックを入力する複数の位相タイミングでN段の基本ポンプセル群を駆動して電圧の昇圧を行う半導体チャージポンプ回路において、トランジスタは、基板ウェル部内に形成されたトランジスタを含んで構成され、昇圧動作時に、トランジスタの制御端子に接続されているキャパシタの他方端と、このキャパシタに接続されるトランジスタが形成されている基板ウェル部とに、このキャパシタと同じ位相タイミングで昇圧した前段の電圧波形をクロックとして印加する切替手段を有するものであり、そのことにより上記目的が達成される。

【0029】また、好ましくは、本発明の半導体チャージポンプ回路において、N段接続された基本ポンプセル中で、同じ位相タイミングで動作する基本ポンプセル群の初段の基本ポンプセル内の基板ウェル部およびキャパシタの他方端には、外部から入力される転送用基本クロックを電圧波形として印加する。

【0030】さらに、好ましくは、本発明の半導体チャージポンプ回路において、クロックは2相であり、この2相のクロックは互いに逆相クロックである。

【0031】さらに、好ましくは、本発明の半導体チャ

ージポンプ回路における切替手段は、pMOS (p-Metal Oxide Semiconductor) トランジスタとnMOSトランジスタで構成されるインバータ回路であり、入力されるクロックのレベルに応じて、同じ位相タイミングで昇圧した前段の電圧波形と基準電圧とを切り替える。

【0032】さらに、好ましくは、本発明の半導体チャージポンプ回路において、昇圧動作時に、トランジスタを形成する基板ウェル部とこのトランジスタの制御端子に接続されたキャパシタの他方端との少なくとも何れかに印加される電圧値と、これと同じ位相タイミングで昇圧された前段の電圧値との差は、インバータ回路のpMOSトランジスタの閾値電圧に抑えられている。

【0033】さらに、好ましくは、本発明の半導体チャージポンプ回路において、N段の基本ポンプセルのトランジスタはnMOSトランジスタで構成され、このN段の基本ポンプセルは、pMOS基板上に形成されたnMOSトランジスタを有する一または複数の基本ポンプセルと、pMOS基板とは電気的に分離されたp型基板ウェル部上に形成されたnMOSトランジスタを有する一または複数の基本ポンプセルとからなっている。

【0034】さらに、好ましくは、本発明の半導体チャージポンプ回路において、p型基板ウェル部をpMOS基板nと分離するようにn型基板ウェル部で囲んだトリプルウェル構造とし、電気的に分離されたp型基板ウェル部上に一または複数のトランジスタが形成されている。

【0035】さらに、好ましくは、本発明の不揮発性半導体記憶装置は、請求項1～7の何れかに記載のチャージポンプ回路を用いたものであり、そのことにより上記目的が達成される。

【0036】上記構成により、以下、その作用を説明する。従来のディクソン型チャージポンプ回路にインバータ回路などの切替手段を導入することにより、クロック信号の振幅を増幅させかつその出力信号をnMOSトランジスタの基板ウェル端子に入力することで、ポンピング能力およびポンピング効率の改善を図ることが可能となる。したがって、従来のディクソン型チャージポンプ回路よりもポンピング電圧の転送効率を改善し、低電圧電源でも効率よくポンピング可能となる。

【0037】

【発明の実施の形態】以下、本発明の実施形態1、2の半導体チャージポンプ回路および、本発明の実施形態3としてこれを用いたフラッシュメモリの一例について図面を参照しながら説明する。

(実施形態1) 図1は、本発明の実施形態1における半導体チャージポンプ回路の要部構成を示す回路図である。なお、従来の図10と同様の作用効果を奏する部材には同一の符号を付けてその説明を省略する。

【0038】図1において、半導体チャージポンプ回路10は、電圧転送手段としての5個のnMOSトランジ

スタD0～D4と、ポンピング用容量手段としての4個のキャパシタC1～C4と、切替手段としての2個のインバータ回路1、2 (以下INV1、2という) とを有している。

【0039】本発明の特徴構成であるINV1、2により、外部入力 of 転送用基本クロックとしてのクロック信号CLK1、CLK2の振幅増幅および基板バイアス効果の低減を図ることができる。このことについて、以下、詳細に説明する。

【0040】INV1の入力端にはクロック信号CLK2が入力され、INV2の入力端にはクロック信号CLK1が入力されている。INV1のpMOSトランジスタのソース端子SにはノードN1が接続され、INV2のpMOSトランジスタのソース端子SにはノードN2が接続されている。

【0041】INV1の出力端INV1_outはキャパシタC3の入力端 (他方端) と、nMOSトランジスタD3の基板ウェル端子 (ここではp型の基板ウェル部、以下Pウェルという) に接続されている。INV2の出力端INV2_outはキャパシタC4の入力端 (他方端) と、nMOSトランジスタD4のPウェルに接続されている。

【0042】INV1は、昇圧動作時に、入力クロック信号CLK2の電圧レベルに応じて、nMOSトランジスタD3の制御端子としてのゲートに接続されているキャパシタC3の他方端と、このnMOSトランジスタD3が形成されているPウェルとに、キャパシタC3と同じ位相タイミングで昇圧した前段のノードN1の電圧波形を、基準電圧Vss (0V) から切り替えてクロック信号として出力する。また、INV2は、昇圧動作時に、入力クロック信号CLK1の電圧レベルに応じて、nMOSトランジスタD4の制御端子としてのゲートに接続されているキャパシタC4の他方端と、このnMOSトランジスタD4が形成されているPウェルとに、キャパシタC4と同じ位相タイミングで昇圧した前段のノードN2の電圧波形を、基準電圧Vss (0V) から切り替えてクロック信号として出力する。

【0043】チャージポンプ回路10の基本ポンプセルとしては、ディクソン型チャージポンプと同様であり、例えば1個のキャパシタC1と1個のnMOSトランジスタD1により構成されている。なお、チャージポンプ回路10においては、従来のディクソン型チャージポンプ回路との比較が容易であるように、4個の基本ポンプセル (nMOSトランジスタD1～D4とキャパシタC1～C4) にて構成している。

【0044】ドレイン端子Dとゲート端子Gが電源 (電圧Vcc) に結線されている初段のnMOSトランジスタD0は、従来のディクソン型チャージポンプ回路と同様に、逆流防止弁の役割を担っている。チャージポンプ回路10への入力信号もディクソン型チャージポンプ回

路と同様で、クロック信号CLK1、CLK2である。このクロック信号CLK1、CLK2の出力タイミング波形は、図13と同様、互いに逆相の2相のクロック信号である。チャージポンプ回路10の出力電圧VoutはノードNoutより出力される。なお、ノードNoutの先には、図示していないが、例えばレギュレータや平滑用キャパシタなどが接続されており、チャージポンプ回路10にて昇圧された電圧（ここでは、正の高電圧）がレギュレータなどに出力される。

【0045】チャージポンプ回路10に用いられているnMOSトランジスタの断面構成の模式図を図2に示している。

【0046】図2に示すように、フラッシュメモリはpMOS基板（以下P-基板という）を使用している。P-基板には、このP-基板と、nMOSトランジスタが形成されるPウェルとを電気的に分離するためのn型の基板ウェル部（以下Nウェルという）が形成されてトリプルウェル構造になっている。このNウェル内には複数のPウェルが形成され、各Pウェル内には一または複数のMOSトランジスタが形成されている。このMOSトランジスタはそれぞれ、他方駆動端子としてのソースS（n+）および一方駆動端子としてのドレインD（n+）と、それらの間の基板上の絶縁膜を介した制御端子としてのゲートGとで構成されている。

【0047】ここでは、NウェルはPウェルを囲む形で形成されており、Nウェル内のPウェルは、nMOSトランジスタD0～D2が形成されているPウェル1と、nMOSトランジスタD3が形成されているPウェル2と、nMOSトランジスタD4が形成されているPウェル3とからなっている。

【0048】Pウェル1は基準電圧源Vss（0V）に接続され、Pウェル2はキャパシタC3の他方端子とインバータINV1の出力端とに接続され、Pウェル3はキャパシタC4の他方端子とインバータINV2の出力端とに接続されている。

【0049】インバータINV1の入力端にはクロック信号CLK2が入力され、インバータINV1の高圧電源入力側（pMOSトランジスタのソースS）はノードN1に接続され、インバータINV1の低圧電源入力側（nMOSトランジスタのソースS）は基準電圧源（基準電圧Vss；0V）に接続されている。

【0050】また、インバータINV2の入力端にはクロック信号CLK1が入力され、インバータINV2の高圧電源入力側（pMOSトランジスタのソースS）はノードN2に接続され、インバータINV2の低圧電源入力側（nMOSトランジスタのソースS）は基準電圧源（基準電圧Vss；0V）に接続されている。

【0051】p-基板は基準電圧源（基準電圧Vss；0V）に接続され、Nウェルには、PN接合部に順方向の電流が流れないように正の電圧+Vin（ここでは、

最も電圧の高いVout以上の正電圧）が印加されている。

【0052】なお、実際には、キャパシタC1～C4、インバータINV1、INV2およびそれらの配線も、P-基板上に形成されているが、図2では本発明に関係するトリプルウェル構造に着目して記載している。また、図2の変形例として、図3のように構成することも可能である。この場合、nMOSトランジスタD0～D2はP-基板上に形成され、P-基板は基準電圧Vss（0V）であるため、この部分はNウェルを設けずに、nMOSトランジスタD3、D4のみ、それらが設けられたPウェルを覆うようにNウェルが設けられている。

【0053】上記構成により、以下、本発明のチャージポンプ回路10のポンピング動作について、図4のタイミングチャートを参照して説明する。なお、ノードN1～N4の定義は、前述したディクソン型チャージポンプ回路の場合と同様である。また、初期状態での各ノード電圧は、上述した式（2）と同様である。

【0054】まず、クロック信号CLK1が0Vから電源電圧Vccに遷移したとき、ノードN1は電圧2Vcc-Vthへ遷移し、トランジスタD1によりトランジスタD1のソースからノードN2へ電圧2Vcc-2Vth-Vbを転送する。

【0055】このとき、INV1の入力端にはクロック信号CLK2が入力されている。つまり、クロック信号CLK2は電源電圧Vccから0Vに遷移するため、オンしているINV1のpMOSトランジスタを介して、ノードN1の電位をインバータ出力端INV1_outに転送する。

【0056】以上の動作にて、インバータ出力端INV1_outの電位は0Vから、ノードN1と同じ電圧Vcc-Vthへと遷移する。つまり、キャパシタC3の入力端は0Vから電圧2Vcc-Vthへとポンピングされる。

【0057】このとき、ノードN3には2段のポンプ回路によりポンピングされた電圧3Vcc-3Vth-Vbがチャージされている。また、ノードN3の電位は、INV2により電圧3Vcc-3Vth-Vbから更に電圧2Vcc-Vth分ポンピングされ、電圧5Vcc-4Vth-Vb'となる。この場合、Vb>Vb'で、基板バイアス効果を低減している。

【0058】ここで、インバータ出力端INV1_outはトランジスタD3のpウェルに接続されていることから、基板バイアス効果を従来技術でのpウェル（Vss；0V）時よりも低減している。ちなみに、従来のディクソン型チャージポンプ回路では、ノードN3のポンピングされた電圧は、電圧4Vcc-3Vth-Vbであるのに対して、本半導体チャージポンプ回路10では、ポンピング効率が少なくとも電圧Vcc-Vth分だけ増加している。さらに、Vb>Vb'で、基板バイ

アス効果が低減している分、ポンピング効率が良くなっていると言える。

【0059】次に、INV2に注目してその動作を説明する。

【0060】INV2のpMOSトランジスタのソース端はノードN2に結線されている。ノードN2の電圧がポンピングされて電圧 $3V_{cc}-2V_{th}-V_b$ がキャパシタC2にチャージされると、その電位はINV2のpMOSトランジスタを介してインバータ出力端INV2_outから出力される。つまり、インバータ出力端INV2_outの電位は0Vから電圧 $3V_{cc}-2V_{th}-V_b$ に遷移し、これがキャパシタC4の入力端に導入される。つまり、ノード4は0Vから $3V_{cc}-2V_{th}-V_b$ の振幅にポンピングされる。

【0061】一方、ノードN4はノードN3からの電荷の転送により電位が昇圧されていることから、ノードN4には電圧 $5V_{cc}-4V_{th}-V_b$ が充電されている。よって、ノードN4は、電圧 $5V_{cc}-4V_{th}-V_b$ から電圧 $3V_{cc}-2V_{th}-V_b$ 分ポンピングされ、出力Voutとしては、理論上、電圧 $8V_{cc}-6V_{th}-V_b$ となる。これは、ディクソン型チャージポンプ回路の出力Voutが電圧 $5V_{cc}-4V_{th}-V_b$ であることから、少なくとも電圧 $3V_{cc}-2V_{th}-V_b$ 分だけディクソン型チャージポンプ回路よりもポンピングされており、大幅にポンピング能力とポンピング効率が改善されていることが判る。

【0062】このときにも、nMOSトランジスタD4のPウェルの基板端子には、ポンピングされた電圧 $3V_{cc}-2V_{th}-V_b$ を導入していることから、 $V_b > V_b$ で、基板バイアス効果を低減している分、ポンピング効率が良くなっている。

【0063】なお、本実施形態1では、逆流防止用のnMOSトランジスタD0と、4個の基本ポンプセル(MOSトランジスタDiとキャパシタCi)について説明したが、これに限らず、更なる多段構成(N段)に対しても適用可能である。この場合は、逆流防止用nMOSトランジスタD0と同様に、Pウェルを基準電圧源(基準電圧Vss)に接続された1段目と2段目の基本ポンプセルを構成するnMOSトランジスタD1、D2を有し、3段目の基本ポンプセルは、入力端子にクロック信号CLK2を入力するインバータINV3(図示せず)の出力をMOSトランジスタD5(図示せず)を構成するPウェルとキャパシタC5(図示せず)の他方端子(入力端)に入力し、インバータINV3の高圧電源入力側はノードN3を、低圧電源入力側は基準電圧源(基準電圧Vss; 0V)に接続する。

【0064】ここで、 $i=1, 2, 3, \dots$ の自然数として、 i 番目のインバータINV i は、 i が奇数のときは入力端子にクロック信号CLK2が入力され、 i が偶数のときは入力端子にクロック信号CLK1が入力され

る。インバータINV i (図示せず)の出力をMOSトランジスタDi+2(図示せず)を構成するPウェルとキャパシタCi+2(図示せず)の他方端子(入力端)に入力し、インバータINV i の高圧電源入力側はノードNiを、低圧電源入力側は基準電圧源(基準電圧Vss; 0V)に接続する。

【0065】要するに、位相の異なる2相のクロック信号CLK1, CLK2により、電荷を転送して順次電圧を上昇させるポンピング動作を行う際に、ある基本ポンプセルのトランジスタを構成しているPウェルに、前段の同じ位相でポンピングされた電圧を印加させるものである。また、別の異なる位相のクロックでも、同様の動作を行うものである。位相の異なるクロックは何相(複数クロック)であっても、前段で同じ位相のクロックでポンピングされた電圧をPウェルに印加させればよい。

(実施形態2) 上記実施形態1では、図1および図2に示すように、nMOSトランジスタD1, D2のPウェルが基準電圧源(基準電圧Vss; 0V)に結線されていることから、基板バイアス効果による閾値電圧の増加が考えられる。本実施形態2では、これを更に回避する場合である。

【0066】図5に示すように、本実施形態2のチャージポンプ回路20では、nMOSトランジスタD1のPウェルにクロック信号CLK1の入力端を接続させ、nMOSトランジスタD2のPウェルにクロック信号CLK2の入力端を接続させている。これによって、基板バイアス効果による閾値電圧の増加を回避することができる。

【0067】上記構成により、クロック信号CLK1が0Vから電源電圧Vccへ遷移したとき、ノードN1は電圧 $2V_{cc}-V_{th}$ に遷移する。このとき、nMOSトランジスタD1が形成されているPウェルもクロックCLK1により電源電圧Vccレベルに遷移している。このため、このPウェルのクロックCLK1による電圧値もポンピングされて、トランジスタD2により、トランジスタD2のソースからノードN2へ電圧 $2V_{cc}-2V_{th}-V_b+V_{cc}$ を転送する。よって、ポンピング電圧は更に上がりかつ、基板バイアス効果も低減でき、ポンピング効率も高くなる。

【0068】一方、クロック信号CLK2がPウェルに入力しているnMOSトランジスタD2でも上記と同様の効果がある。以後の段の基本ポンプセルの動作は、先の実施形態1で説明した通りであり、このnMOSトランジスタD1, D2でポンピングされた電圧が加算されて順次ポンピングされていく。本実施形態2でもN段構成は先に説明したように構成することができる。

【0069】なお、上記実施形態1, 2では、インバータ回路(INV1, INV2)で説明したが、これはクロック信号CLK1, CLK2のハイレベルまたはロウレベルに応じて、基準電圧Vss(0V)および所定の

ノード電圧の何れかに切替える切替手段であればよく、例えば、トランSMissionゲートなどのアナログスイッチであっても構成可能である。ただ、本発明のようなインバータ構成が最も簡単に実現できる。

【0070】また、実施形態1、2では、基本ポンプセルをnMOSトランジスタで構成する例について説明したが、これに限らず、pMOSトランジスタで構成してもよく、この場合にはNウェル内に一または複数のトランジスタが形成され、また、N-基板上に形成する場合であっても同様の考えで随時、基板ウェル部をP型にするか、N型にするかを設定して、本発明を適用すればよい。

【0071】さらに、上記実施形態1、2では、正の高電圧チャージポンプで説明したが、同じ考え（キャパシタCの接続を変えることで電荷+Qを転送するのではなく、-Qを転送しポンピングさせる）で電源電圧Vccから負の電圧生成をチャージポンプ回路にて行う際にも同様に、本発明を適用することができるものである。

（実施形態3）本実施形態3では、上記実施形態1、2で説明したチャージポンプ回路10、20を半導体記憶装置、例えばフラッシュメモリに適用する場合である。この場合の一例を図6に示している。

【0072】図6において、フラッシュメモリ30は、複数のフラッシュメモリセル31と、ワード線駆動回路32と、ビット線駆動回路33と、ソース線駆動回路34と、これらを制御する制御回路35と、チャージポンプ回路36と、レギュレータ回路37とを有している。

【0073】フラッシュメモリセル31は、行方向と列方向にマトリクス状に複数個配列されており、メモリセル31毎に、p-基板のpウェルにソースSとドレインDが形成され、ソースSとドレインD間の基板（Pウェ

ル）上にトンネル酸化膜、その上にフローティングゲートFG、更にその上に層間絶縁膜が形成され、その上にコントロールゲートCGが形成されている。フラッシュメモリセル31のコントロールゲートCGは行毎に共通化された状態で、その対応するワード線WLに共通接続され、そのドレインは列毎に共通化された状態でそれに対応するビット線BLに共通接続され、そのソースSは、ブロック単位で共通化されて共通ソース線SLに接続されている。

【0074】ワード線駆動回路32は各ワード線WLを選択的に駆動し、ビット線駆動回路33はビット線BLを選択的に駆動し、ソース線駆動回路34は共通ソース線SLを駆動するものである。

【0075】制御回路35は、フラッシュメモリ30の外部から制御信号を受け、制御信号に基づいてアドレスをデコードしたり、書込み、消去、読出しなどの制御信号を生成したりする。

【0076】チャージポンプ回路36は、上記実施形態1、2で説明したチャージポンプ回路10、20と同様、電源電圧Vccから昇圧して駆動電圧を生成するものである。

【0077】レギュレータ回路37は、チャージポンプ回路36からの各種駆動電圧をそれぞれ、ワード線駆動回路32、ビット線駆動回路33およびソース線駆動回路34の各部にそれぞれ安定供給するものである。

【0078】上記構成により、フラッシュメモリ30の書込み時、消去時、読出し時にフラッシュメモリセル31に印加される各駆動電圧例を（表1）に示す。

【0079】

【表1】

	コントロール ゲート	ドレイン	ソース	基板 (Pウェル)
書き込み	10V	6V	0V	0V
消去	-9V	Open	6V	0V
読み出し	5V	1V	0V	0V

これらの各駆動電圧のうち、最大電圧またはそれ以上の電圧を、本発明によるチャージポンプ回路36を使用して、電源電圧Vccから昇圧することにより生成する。生成された各駆動電圧をレギュレータ回路37に入力し、その出力電圧を安定化させると共に、その他の各種駆動電圧も生成し、それをレギュレータ回路37からワード線駆動回路32、ビット線駆動回路33およびソース線駆動回路34にそれぞれ出力する。

【0080】本発明の図1および図5の正の高電圧チャージポンプ回路10、20により、上記（表1）の書き込み時のワード線WLおよびビット線BL、消去時のソース線SL、読出し時のワード線WLへの印加電圧用の電圧を生成する。ワード線駆動回路32、ビット線駆動

回路33、ソース線駆動回路34は制御回路35の制御によりメモリセル31のワード線WL、ビット線BL、ソース線SLに駆動電圧を印加し、書込み、消去、読出し動作を行う。

【0081】なお、図6は、ワード線WL0~WL1023、ビット線BL0~BL511の64kBを1ブロックとしたフラッシュメモリ30の一例である。

【0082】以上により、各種昇圧電圧を使用する不揮発性半導体記憶装置に本発明の半導体チャージポンプ回路10、20、36を容易に適用することができる。

【0083】以上のように、本発明の半導体チャージポンプ回路10、20によれば、クロック信号CLK2を入力とし、クロック信号CLK1と同じ位相タイミング

で昇圧するトランジスタD3に接続されたキャパシタC3の他方端（入力端）と当該トランジスタD3が形成されたpウェル端子とに対して、クロック信号CLK1と同じ位相タイミングで昇圧した前段のノードN1の電圧波形をクロックとして印加するINV1と、クロック信号CLK1を入力とし、クロック信号CLK2と同じ位相タイミングで昇圧するトランジスタD4に接続されたキャパシタC4の他方端（入力端）と当該トランジスタD4が形成されたpウェル端子とに対して、クロック信号CLK2と同じ位相タイミングで昇圧した前段のノードN2の電圧波形をクロックとして印加するINV2とを設けたため、前述したように、ポンピング能力の増大およびポンピング効率の改善を達成することができる。これによって、半導体チップのレイアウト面積としてもキャパシタの数を劇的に減らすこともでき、EEPROMやフラッシュメモリのチップ面積の縮小化にも大いに貢献することができるものである。

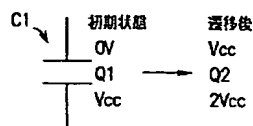
【0084】具体的には、従来のディクソン型チャージポンプ回路（図10で逆流防止構成を除いて4段構成）では、基板バイアス効果による閾値電圧の上昇により、出力電圧は時間を十分にとって電源電圧 $V_{cc}=1.5V$ を昇圧しても、図7に示すように、その出力電圧 V_{out} は $2.7V$ 程度にしか昇圧できなかった。これに対して、上記実施形態1、2のチャージポンプ回路10、20（図10と同じく逆流防止構成を除いて4段構成）では、基板バイアス効果による閾値電圧の上昇抑制と昇圧能力増大と合わせて、電源電圧 $V_{cc}=1.5V$ を昇圧して、図8に示すように、その出力電圧 V_{out} は $4.7V$ 程度と従来に比べて 1.7 倍程度高い昇圧電圧を生成することができた。

【0085】

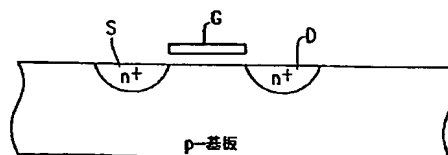
【発明の効果】以上により、本発明によれば、昇圧動作時に、トランジスタの制御端子に接続されているキャパシタの他方端と、このトランジスタが形成されている基板ウェル部とに、このキャパシタと同じ位相タイミングで昇圧した前段の電圧波形をクロックとして印加するようにしたため、従来のディクソン型チャージポンプ回路よりもポンピング電圧の転送効率を改善しかつ、低電圧電源でも効率よくポンピング動作を行うことができる。

【図面の簡単な説明】

【図9】



【図12】



【図1】本発明の実施形態1における半導体チャージポンプ回路の要部構成を示す回路図である。

【図2】図1のnMOSトランジスタD0～D4の断面構成を含むチャージポンプ回路の構成図である。

【図3】図2の構成図とは別の例を示すチャージポンプ回路の構成図である。

【図4】図1のチャージポンプ回路の各要部のポンピング動作を示すタイミングチャート図である。

【図5】本発明の実施形態2における半導体チャージポンプ回路の要部構成を示す回路図である。

【図6】本発明の実施形態3におけるフラッシュメモリの要部構成を示すブロック図である。

【図7】従来のディクソン型チャージポンプ回路の出力立上り波形の電圧値変化を示す図である。

【図8】図1または図5のチャージポンプ回路の出力立上り波形の電圧値変化を示す図である。

【図9】チャージポンプ回路の基本動作原理を示す図である。

【図10】従来のディクソン型チャージポンプ回路の要部構成を示す回路図である。

【図11】図10のクロック信号CLK1、CLK2のタイミング波形図である。

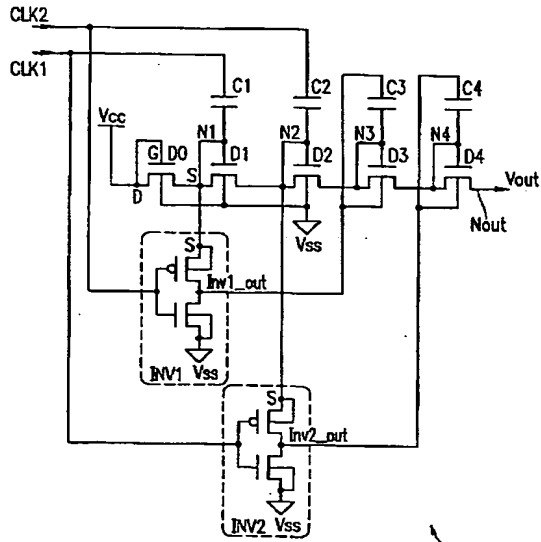
【図12】図10のディクソン型チャージポンプ回路で用いるnMOSトランジスタの断面構成図である。

【図13】図10の理想的なディクソン型チャージポンプ回路のタイミングチャート図である。

【符号の説明】

- 1, 2 INV (インバータ回路)
- 10, 20, 36 半導体チャージポンプ回路
- 30 フラッシュメモリ
- 31 フラッシュメモリセル
- 32 ワード線駆動回路
- 33 ビット線駆動回路
- 34 ソース線駆動回路
- 35 制御回路
- 37 レギュレータ回路
- D0～D4 nMOSトランジスタ
- C1～C4 キャパシタ
- CLK1, 2 クロック信号

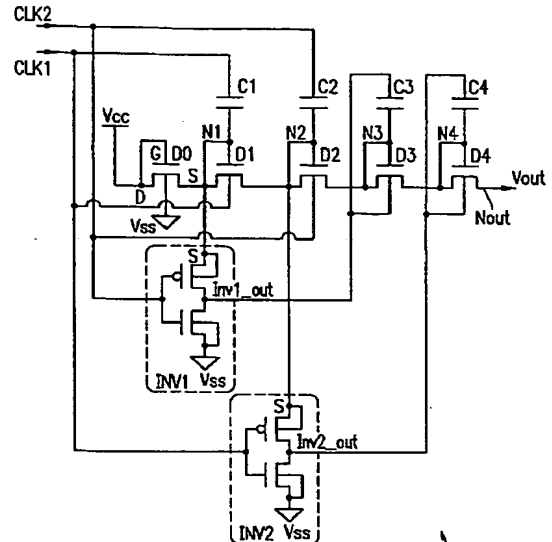
【図 1】



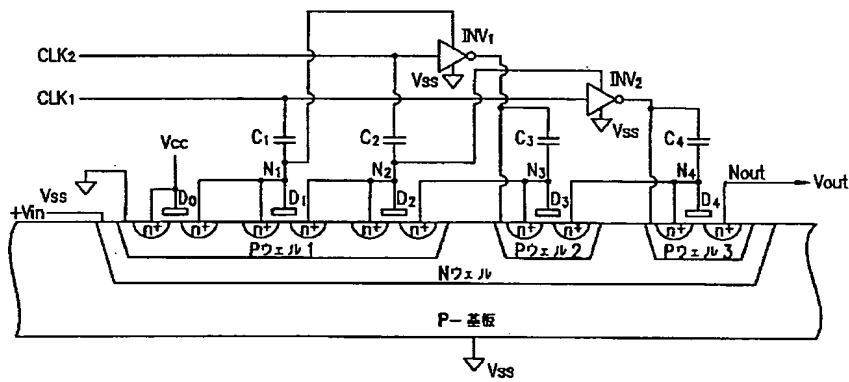
10

【図 2】

【図 5】

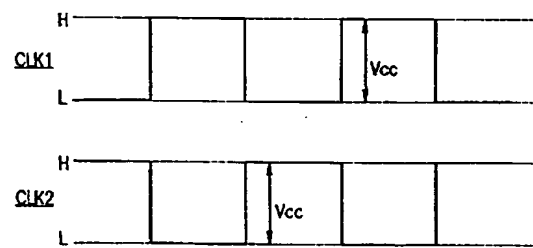
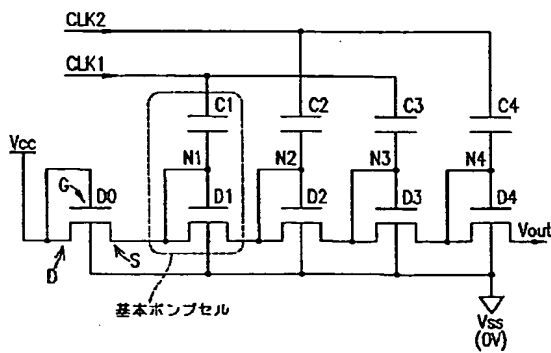


20

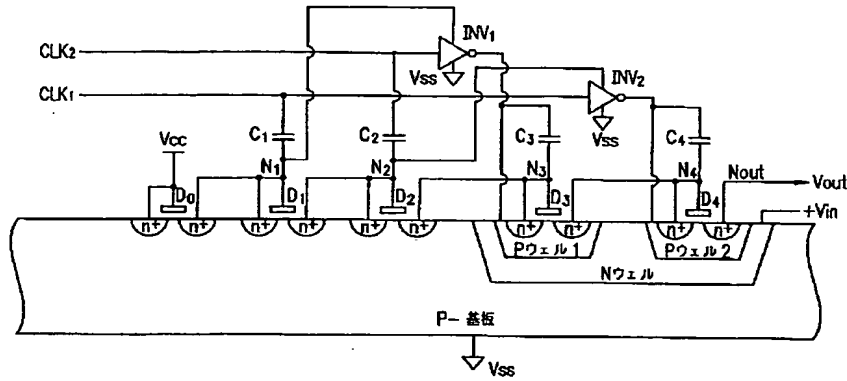


【図 10】

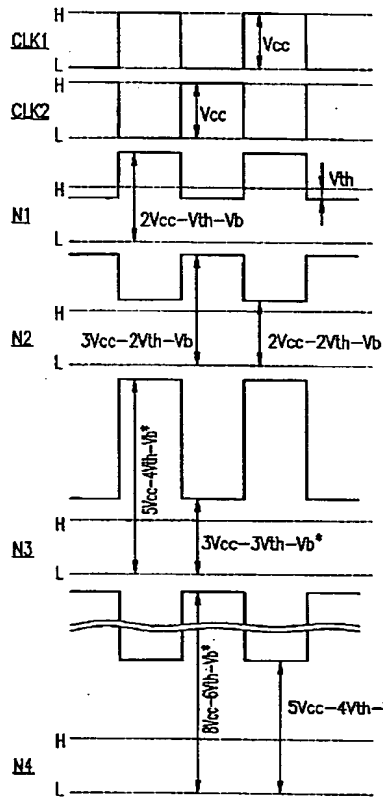
【図 11】



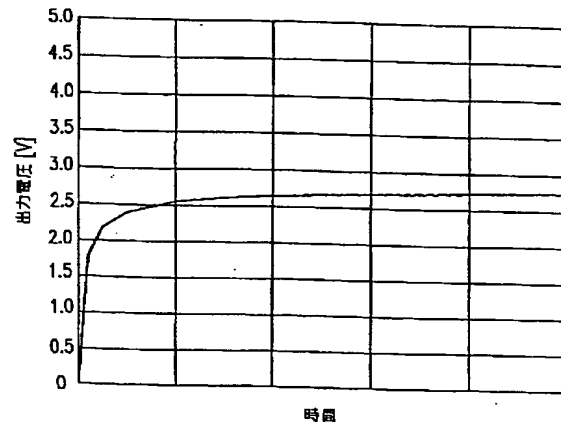
【図 3】



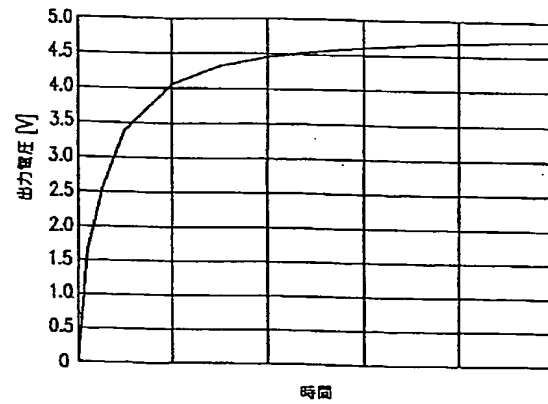
【図 4】



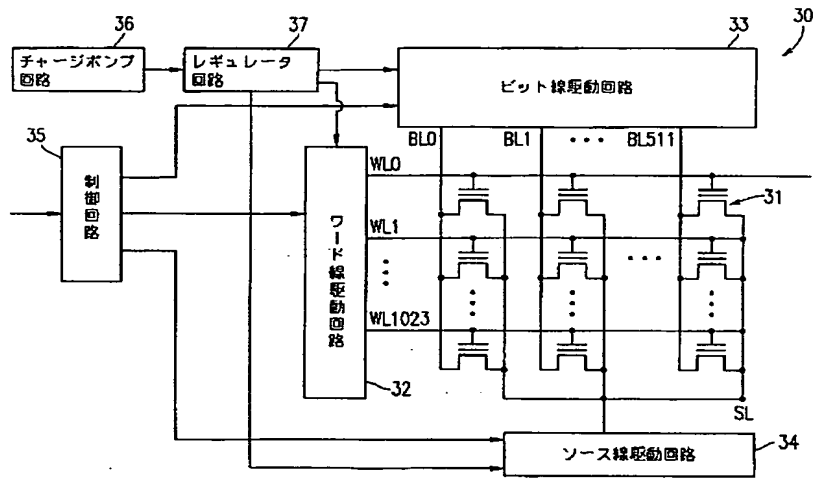
【図 7】



【図 8】



【図6】



【図13】

